

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02203622 A**

(43) Date of publication of application: **13 . 08 . 90**

(51) Int. Cl.

H03L 7/107
H04L 7/033

(21) Application number: **01024413**

(22) Date of filing: **01 . 02 . 89**

(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**

(72) Inventor: **KAKINUMA TAKAMA
MAEKAWA EIJI**

(54) **MULTIPLE FREQUENCY PHASE LOCKED LOOP
CIRCUIT**

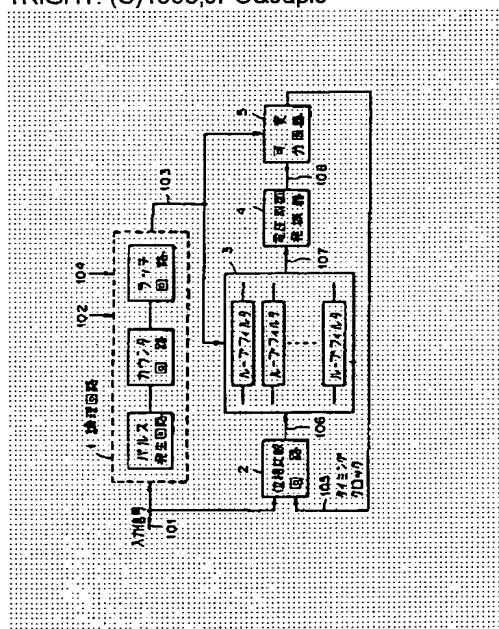
(57) Abstract:

PURPOSE: To attain high speed phase locked loop operation even to an input signal with plural kinds of transmission speeds by selecting plural loop filters and deciding a frequency division ratio of a variable frequency divider.

CONSTITUTION: Plural loop filters applying high frequency cut-off interruption proper to an optional signal groups are employed as a loop filter 3, a variable frequency divider applying frequency division proper to an optional signal group is employed for a frequency divider 5 frequency-dividing an output of a voltage controlled oscillator 4, a signal in a signal group supplied to a phase comparator circuit 2 is subject to count by a reference clock for one bit time at a logic circuit 1, and the loop filter 3 connecting to a phase comparing circuit 2 is selected according to the result and the frequency division ratio of the variable frequency divider 5 is decided. Thus, the transmission speed of an input signal 101 is identified automatically and the loop filter 3 and the frequency

divider 5 are controlled at a high speed.

COPYRIGHT: (C)1990,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-203622

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月13日

H 03 L 7/107
H 04 L 7/033

8731-5 J H 03 L 7/10
6914-5 K H 04 L 7/02

C
B

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 多元周波數位相同期回路

⑯ 特 願 平1-24413

⑰ 出 願 平1(1989)2月1日

⑱ 発 明 者 柿 沼 隆 馬 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 前 川 英 二 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

多元周波數位相同期回路

2. 特許請求の範囲

(1) 複数の異なる伝送速度を有する信号群の中の任意の一つの信号に対して位相同期したタイミングクロックを出力する位相同期回路であって、

上記信号群中の一つの信号が供給されて上記タイミングクロックと位相比較する位相比較回路と、

その位相比較回路の出力側に選択的に接続され、上記信号群の中の各伝送速度に適した高域遮断を行う複数のループフィルタと、

上記位相比較回路に接続された上記ループフィルタの出力により制御される電圧制御発振器と、

その電圧制御発振器の出力を分周して上記タイミングクロックを出力する可変分周器と、

上記位相比較回路へ供給される信号の1ビット又は複数ビットの時間を基準クロックで数えてその結果に応じて上記ループフィルタの選択を行い、かつ上記可変分周器の分周比を決定する論理回路

と、

を具備する多元周波數位相同期回路。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は、デジタル時分割多重通信において複数種類の伝送速度の入力信号のそれぞれに対して位相同期したタイミングクロックを出力する多元周波數位相同期回路に関するものである。

「従来の技術」

デジタル時分割多重通信における多元周波數位同期通信方式(特願昭62-196253)あるいは多元伝送速度データ通信方式(特願昭63-260568)は一つの主装置とそれぞれある一つの固有の動作周波数を有する従装置群とが通信を行う同期通信方式である。このような複数の伝送速度で同期通信を行う通信方式においてバス形態のポイントツーマルチポイントの配線(特願昭63-260568)では、主装置と各従装置間の伝送距離が異なるために主装置の受信点において各従装置の送出する信号毎に受信位相が異なる。この受信位相が大きく異なる

る場合には各従装置の送出する信号毎にタイミング抽出を行わなければならない。そこで、各従装置の送出する信号は情報だけでなくタイミング抽出用のビットが付加された形で構成される。従って、タイミング抽出用のビットの付加による伝送速度の上昇を抑えるためにタイミング抽出用のビットはできるだけ少ないことが必要である。

従来、タイミング抽出回路としては位相同期回路(PLL回路)がよく用いられている。位相同期回路は入力信号とタイミングクロックとの位相を比較し、その位相差に相当する出力を発生する位相比較回路と、その位相比較回路の出力信号の高周波成分を遮断し、その直流成分に相当する出力を発生するループフィルタと、そのループフィルタの出力信号の電圧値に応じて、その周波数を変化させる電圧制御発振器とで構成される。位相同期回路の中でループフィルタは位相比較回路の出力信号の高周波成分を遮断する低域通過型フィルタで構成され、その遮断周波数は入力信号の周波数より小さい値が選択される。位相同期回路の

る信号毎に伝送速度が異なる場合、すなわち異なる伝送速度の信号が短時間に連続的に入力した場合には正確な伝送速度の識別ができない欠点があった。また、入力信号の伝送速度を自動的に識別するためにバンドパスフィルタを用いた直流電圧の検出があった。しかし、この方法では直流電圧のレベルを正確に検出するためにバンドパスフィルタを十分に励振する必要がある。通常、少なくとも数バイト程度がタイミング抽出用に必要であるために高速の同期引き込みは困難であった。

この発明の目的は、複数種類の伝送速度を有する入力信号群の中のどれが入力しても入力信号に位相同期したタイミングクロックを自動的に供給し、また、バス形態のポイントツーマルチポイントの配線の場合にも伝送速度の上昇を抑えられるように位相同期が高速に行える多元周波數位相同期回路を提供することにある。

「課題を解決するための手段」

この発明は、複数の異なる伝送速度を有する信号群の中の任意の一つの信号に対して位相同期し

ループゲインを一定とすると、ループフィルタの遮断周波数が入力信号の周波数に近い場合には位相同期回路の同期引き込み時間は短くなる。しかし、遮断周波数が入力信号の周波数から離れている場合には同期引き込み時間は長くなるため、タイミング抽出用のビットが多く必要になるので伝送速度は大きく上昇をする。従って、複数種類の伝送速度の入力信号に対しては一つのループフィルタでは位相同期を高速に行うことは困難であり、複数のループフィルタを用いる必要がある。また、この位相同期回路の電圧制御発振器の出力を分周する事によって様々な種類の周波数の信号が得られる。つまり、第6図に示すようにループフィルタを複数個設置し、分周器の分周比を可変し、最適なループフィルタと分周比を選択することによって異なる伝送速度の入力信号に対しても位相同期したタイミングクロックが得られる。従来最適なループフィルタと分周比を選択するために、入力信号の伝送速度に応じて手動で行っていた。しかし、手動による選択のために各従装置の送出す

たタイミングクロックを出力する位相同期回路において、

ループフィルタとして前記信号群の中の任意の一つに適した高域遮断を行う複数のループフィルタが用いられ、電圧制御発振器の出力を分周する分周器は前記信号群の中の任意の一つに適した分周を行う可変分周器とされ、位相比較回路へ供給される前記信号群の1つの信号は論理回路で1ビットの時間が基準クロックで数えられ、その結果に応じて位相比較回路に接続されるループフィルタが選択されると共に可変分周器の分周比が決定される。

従来の技術とは、自動的に入力信号の伝送速度を識別して高速にループフィルタと分周器とを制御できることが異なる。

「実施例」

以下、この発明について図面を参照して詳細に説明する。

第1図はこの発明を説明するためのブロック図である。101は入力信号、102は基準クロック

ク、1は入力信号101の一周期あるいは複数周期の時間を基準クロック102で数えた結果を出力する論理回路、103は論理回路1の出力信号、104は論理回路1の出力信号103をクリアするためのクリア信号、105はタイミングクロック、2は入力信号101とタイミングクロック105との位相差情報を出力する位相比較回路、106は位相比較回路2の出力信号、3は論理回路1の出力信号103に基づいて複数のループフィルタの中の1つを選択するフィルタ回路、107はフィルタ回路3の出力信号、4はフィルタ回路3の出力信号107に基づいて周波数を変化させる電圧制御発振器、108は電圧制御発振器4の出力信号、5は電圧制御発振器4の出力信号108を分周してタイミングクロック105を出力する可変分周器である。

第2図は第1図の回路の動作を示すタイムチャートである。入力信号101(第2図(1))の一周期の時間は基準クロック102(第2図(2))によって何クロック分に相当するかを数えられ、その

る伝送速度の信号に対しては一周期に相当するクロック数が異なり、第3図では2クロック、第4図では3クロックとなる。従って、この方法を用いれば入力信号の一周期すなわち1ビットで入力信号の伝送速度を自動的に識別し最適なループフィルタと分周比を選択できる。尚、第3図、第4図では、説明をわかりやすくするため、基準クロックの周波数を入力信号と同等の場合を示したが、精度を上げるためには、基準クロックの周波数を入力信号よりずっと高くする必要がある。

第4図にこの発明の具体的実施例の回路図を第2図のブロック図に対応して示し、そのタイムチャートを第5図に示す。論理回路1は入力信号の一周期の時間幅を有するパルスが発生するパルス発生回路と、そのパルス発生回路の出力信号の論理レベルがハイの時間を基準クロックで数えるカウンタ回路と、そのカウンタ回路の出力を信号が入力してから1ビット後にラッチするラッチ回路とで構成され、入力信号101(第5図(1))の一周期の時間幅を有するパルス(第5図(2))がパル

数えた結果は出力信号103としてフィルタ回路3と可変分周器5とに送出される。フィルタ回路3と可変分周器5とでは論理回路1の出力信号103に基づいて適切なループフィルタと分周比を選択する。入力信号の終了を確認するとクリア信号104(第2図(3))が送出され論理回路1の出力信号103の値はクリアされる。

前述の入力信号101とは異なる伝送速度を有する信号が入力した場合を第3図のタイムチャートに示す。入力信号101(第3図(1))の一周期の時間は基準クロック102(第3図(2))によって何クロック分に相当するかを数えられ、その数えた結果は出力信号103としてフィルタ回路3と可変分周器5とに送出される。フィルタ回路3と可変分周器5とでは論理回路1の出力信号103に基づいて適切なループフィルタと分周比を選択する。入力信号の終了を確認するとクリア信号104(第3図(3))が送出され論理回路1の出力信号103の値はクリアされる。

第2図と第3図を比べればわかるように、異な

ス発生回路からカウンタ回路に送出され、カウンタ回路ではパルス発生回路の出力信号の論理レベルがハイの時間を基準クロック(第5図(3))で数えた結果(第5図(4))がラッチ回路に送出される。ラッチ回路では信号が入力してから1ビット後にカウンタ回路の出力信号をラッチした結果(第5図(5))がフィルタ回路3と可変分周器5に送出される。フィルタ回路3と可変分周器5とでは論理回路1の出力信号103に基づいて入力信号に最適なループフィルタと分周比を選択する。また、入力信号の終了を確認するとクリア信号104

(第5図(6))が送出され、論理回路1の出力信号103の値はクリアされる。異なる伝送速度の信号が入力した場合の動作は実施例に示した説明と同様である。従って、第4図のブロック図は1ビットで伝送速度を識別できることがわかる。尚第6図では、カウンタ回路、ラッチ回路の出力信号がパラレル2ビットの場合を示したが、他のビット数でもよい。

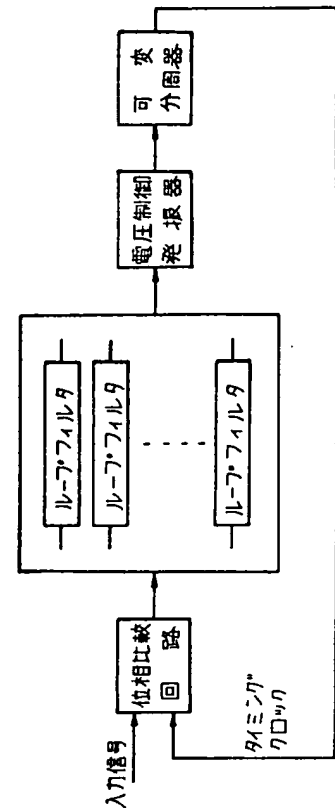
「発明の効果」

以上、説明したようにこの発明は入力信号の伝送速度の識別を1ビットで行い、その後最適なループフィルタと分周比を自動的に選ぶため、複数種類の伝送速度の入力信号に対しても高速に位相同期を行うことができる利点がある。

4. 図面の簡単な説明

第1図はこの発明の実施例を説明するためのブロック図、第2図及び第3図はそれぞれこの発明の実施例を説明するためのタイムチャート、第4図はこの発明の具体的実施例を説明するための回路図、第5図はこの発明の具体的実施例を説明するためのタイムチャート、第6図は従来の位相同期回路を示すブロック図である。

図 6



特許出願人 日本電信電話株式会社
代理人 草野 卓

図 1

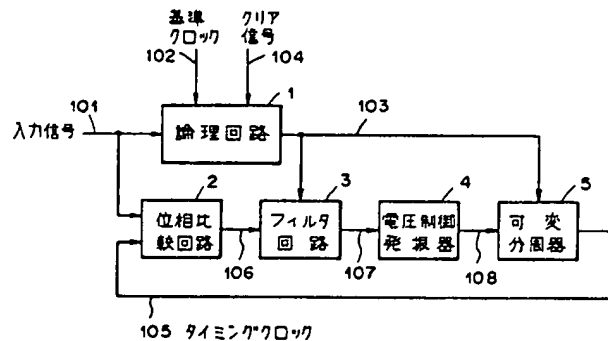


図 2

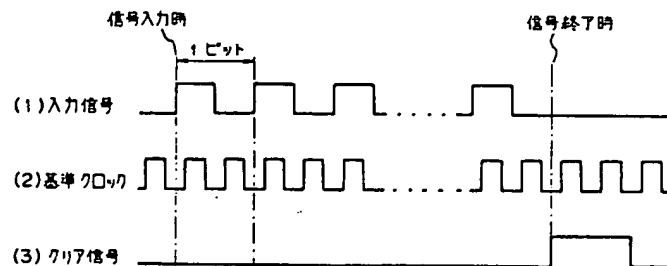


図 3

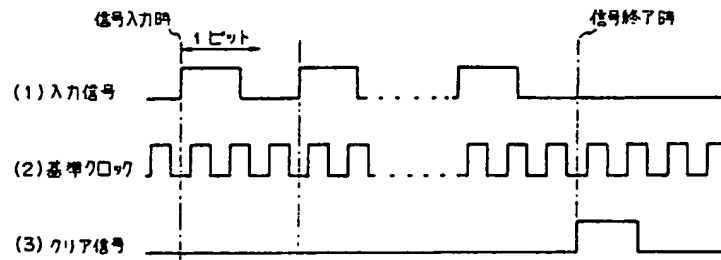


図 4

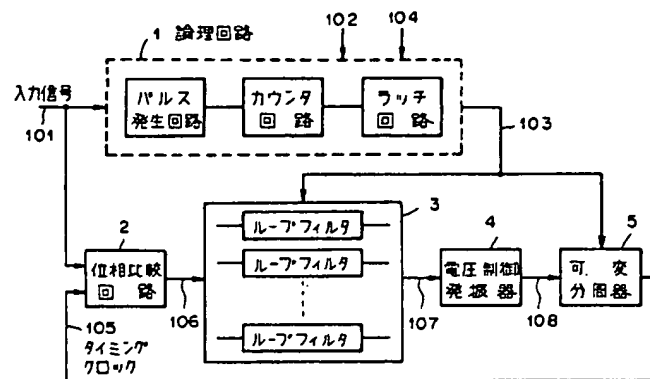


図 5

